

ТЕХНИЧЕСКИЕ НАУКИ

ПРОЦЕССЫ И МАШИНЫ АГРОИНЖЕНЕРНЫХ СИСТЕМ

УДК 681.323

Н.В. Титовская, С.Н. Титовский

АППАРАТНАЯ ОРГАНИЗАЦИЯ ЦИФРОВОГО УСТРОЙСТВА УПРАВЛЕНИЯ ИМПУЛЬСНЫМ СТАБИЛИЗАТОРОМ НАПРЯЖЕНИЯ

В статье изложены результаты исследований применения ПЛИС FPGA в управлении импульсными стабилизаторами напряжения.

Ключевые слова: ПЛИС, FPGA, импульсный стабилизатор напряжения, управление.

N.V. Titovskaya, S.N. Titovsky

THE HARDWARE ORGANIZATION OF THE DIGITAL CONTROL UNIT OF THE PULSE VOLTAGE STABILIZER

The research results on the application of EPLD (Electrically Programmable Logic Device) FPGA in the pulse voltage stabilizer control are presented in the article.

Key words: EPLD, FPGA, pulse voltage stabilizer, control.

Введение. В настоящее время применению цифрового контура управления в импульсных стабилизаторах напряжения (ИСН) уделяется пристальное внимание, так как он исключает температурный и временной дрейф параметров схемы, свойственный аналоговым устройствам.

Цель исследования: оценка применимости ПЛИС FPGA в управлении ИСН.

Задача исследования: определение возможных скоростных характеристик ИСН с аппаратно-реализованным цифровым устройством управления.

Методы исследования: экспериментальное исследование макетного образца.

Как было показано в [1, 2], задачей УУ ИСН является формирование выходного импульса управления ключом стабилизатора, длительность которого является функцией от входных напряжений:

$$T_{\text{имп}} = F(U_{\text{инт}}, U_{\text{диф}}, U_{\text{рас}}).$$

В результате моделирования работы стабилизатора было выявлено, что для инвертирующего интегратора наилучшие результаты получаются при использовании следующей функции [3, 4]:

$$T_{\text{имп}i} = T_{\text{п}} \cdot (U_{\text{инт}i} - (7.5 \cdot U_{\text{диф}i} - 2.25 \cdot U_{\text{диф}i-1})) / U_{\text{мах}},$$

где i – номер такта работы стабилизатора;

$T_{\text{п}}$ – длительность такта (период) работы стабилизатора;

$U_{\text{инт}}$ – напряжение с выхода интегратора;

$U_{\text{диф}}$ – переменная (дифференциальная) составляющая выходного напряжения;

$U_{\text{мах}}$ – условное максимальное напряжение (напряжение, при котором длительность выходного импульса совпадает с периодом).

Использование цифрового устройства для расчета требует предварительного аналого-цифрового преобразования, поэтому обобщенная функциональная схема устройства управления выглядит, как показано на рисунке 1.

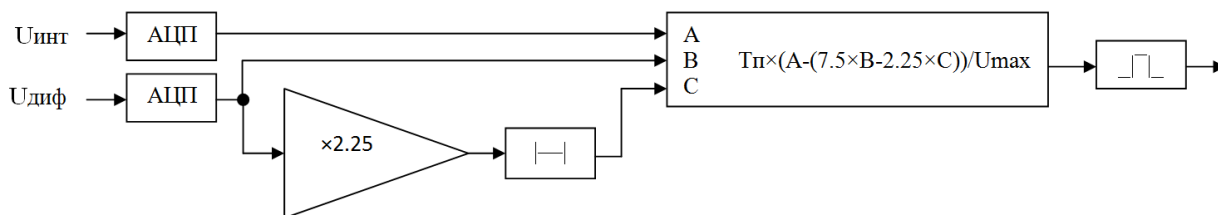


Рис. 1. Обобщенная функциональная схема устройства управления

Для уменьшения погрешности, накапливаемой в процессе вычислений, входной сигнал Uдиф был приведен к диапазону ± 320 мВ (для статического режима работы) за счет предварительного усиления в 16 раз.

Для реализации устройства управления в интегральном виде использована ПЛИС FPGA Cyclone II EP2C20 фирмы Altera [5] в сочетании с аналого-цифровым преобразователем (АЦП) MAX1308 фирмы Maxim [6].

Поскольку данный этап работы являлся экспериментальным, для обеспечения возможности оперативного изменения алгоритма функционирования устройства управления стабилизатором напряжения было решено отказаться от его полностью аппаратной реализации и использовать процессорное ядро, позволяющее организовать программное управление. В этом случае изменение алгоритма расчетов реализуется за счет внесения изменений в программу, исполняемую процессором.

В качестве такого процессорного ядра выбран Leon3 фирмы AeroflexGaisler, основанный на архитектуре SPARCV8. Шаблон Leon3 свободно доступен в составе библиотеки IP-cores (ядер) GRLIB [7].

Для организации устройства управления в рамках ПЛИС FPGACycloneIIEP2C20 была использована конфигурация аппаратуры, включающая процессор, контроллер памяти, системную магистраль, два порта ввода/вывода из библиотеки GRLIB-CPL-1.1.0-b4108 и специализированный дополнительно разработанный таймер-счетчик (ТС) (рис. 2).

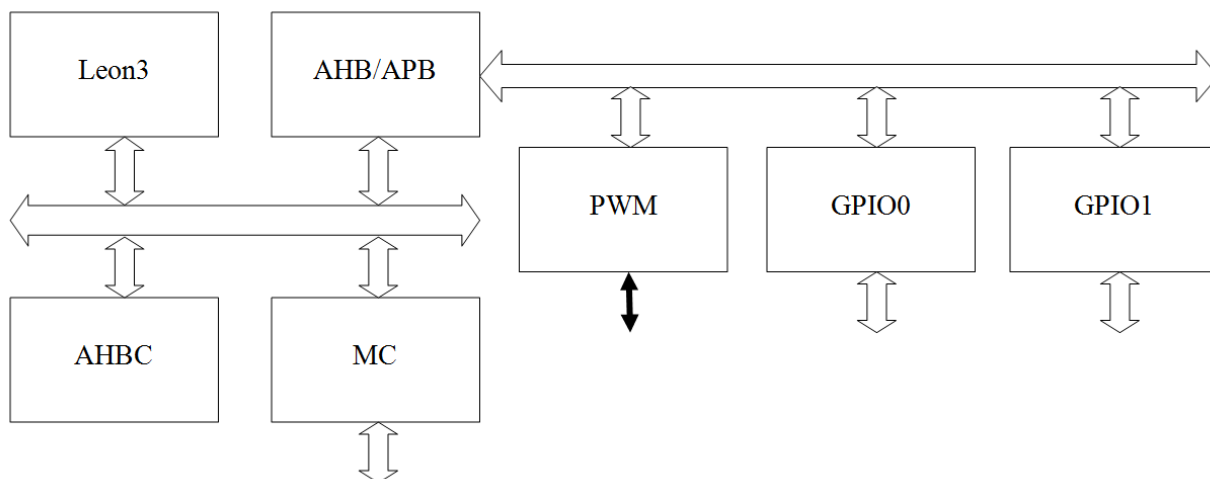


Рис. 2. Конфигурация аппаратуры в ПЛИС FPGACycloneIIEP2C20

На приведенном рисунке 2: Leon3 – процессорное ядро; АНВС – контроллер интерфейса AMBA 2.0 АНВ; MC – Leon2 контроллер памяти; АНВ/АРВ – мост между интерфейсами АНВ и АРВ

(AMBA 2.0); PWM – специализированный таймер-счетчик; GPIO0, GPIO1 – универсальные порты ввода/вывода.

Необходимость дополнительного таймера обусловлена большим временем передачи данных между процессором и портами ввода/вывода. Поэтому программное обнаружение и формирование сигналов сопровождается значительными задержками и нестабильностью во времени, измеряемыми сотнями наносекунд, что, в свою очередь, приводит к нестабильности работы стабилизатора напряжения в целом.

Разработанный ТС имеет в своем составе канал захвата частоты, использующийся для измерения длительности периода запуска стабилизатора, и два канала сравнения, работающие в режиме широтно-импульсной модуляции, формирующие импульсы запуска АЦП и открывания силового ключа стабилизатора напряжения. Блок-схема разработанного таймера приведена на рисунке 3.

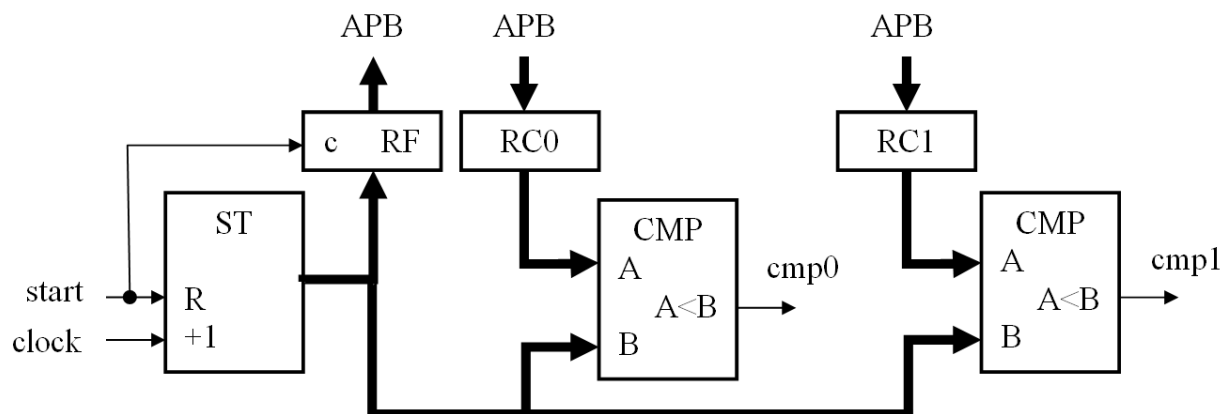


Рис. 3. Структура ТС

На приведенном рисунке 3: start – сигнал запуска стабилизатора напряжения; clock – тактовая частота (50 МГц); APB – AMBA 2.0 APB интерфейс; ST – двоичный счетчик (32 разр.); RF – регистр канала захвата частоты (32 разр.); RC0, RC1 – регистры каналов сравнения 0 и 1 (32 разр.); CMP – цифровые компараторы (32 разр.).

Логика работы ТС заключается в следующем: сигнал запуска стабилизатора своим нарастающим фронтом переписывает текущее содержимое счетчика ST в регистр RF и одновременно обнуляет счетчик. Цифровые компараторы CMP вырабатывают сигнал, соответствующий результату сравнения текущего содержимого счетчика с кодом, хранящимся в регистре RC0/RC1 соответственно. Выходной сигнал компаратора CMP0/CMP1 принимает единичное значение в случае, когда код, накопленный в счетчике, превышает содержимое соответствующего регистра RC0/RC1.

Реализация устройства управления стабилизатором заключается в соединении операционного усилителя, АЦП и ПЛИС FPGA Cyclone II EP2C20, при этом порт GPIO1 ПЛИС использован для передачи управляющих сигналов, порт GPIO0 – для передачи данных между АЦП и процессором. Для исключения необходимости расширять знак кода, полученного с АЦП, его старший (знаковый) разряд подключен к пяти разрядам порта GPIO0.

Подключение дифференциальных сигналов к АЦП MAX1308 не предусмотрено, поэтому положительный сигнал Уинт соединен с информационным входом АЦП, а отрицательный – непосредственно с контактом MSV (Midscalevoltage), относительно которого фактически производятся измерения. Сигнал Удиф в дифференциальном виде подключен к входам операционного усилителя, расположенного в непосредственной близости к АЦП, с выхода которого поступает на информационный вход АЦП.

Оцифрованные данные с АЦП считывались после окончания всех преобразований, так как результаты преобразований с отдельных каналов появляются с интервалом в 200 нс, в то время, как время программного обнаружения сигнала составляет приблизительно 400÷500 нс.

Блок-схема такого устройства управления представлена на рисунке 4.

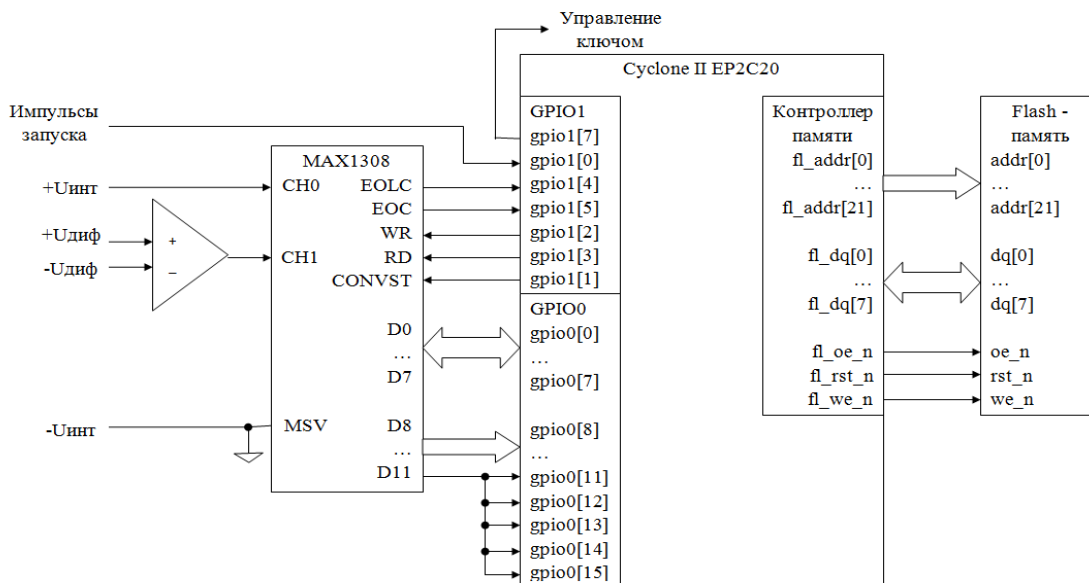


Рис. 4. Блок-схема устройства управления

Для тактирования ПЛИС FPGA Cyclone II EP2C20 использован кварцевый генератор прямоугольных импульсов частотой 50 МГц, для АЦП MAX1308 – внутренний тактовый генератор с частотой 15 МГц.

Требуемая организация функционирования УУ ИСН реализуется с помощью программы, в которой используется программно-аппаратная организация УУ, приведенная на рисунке 5.

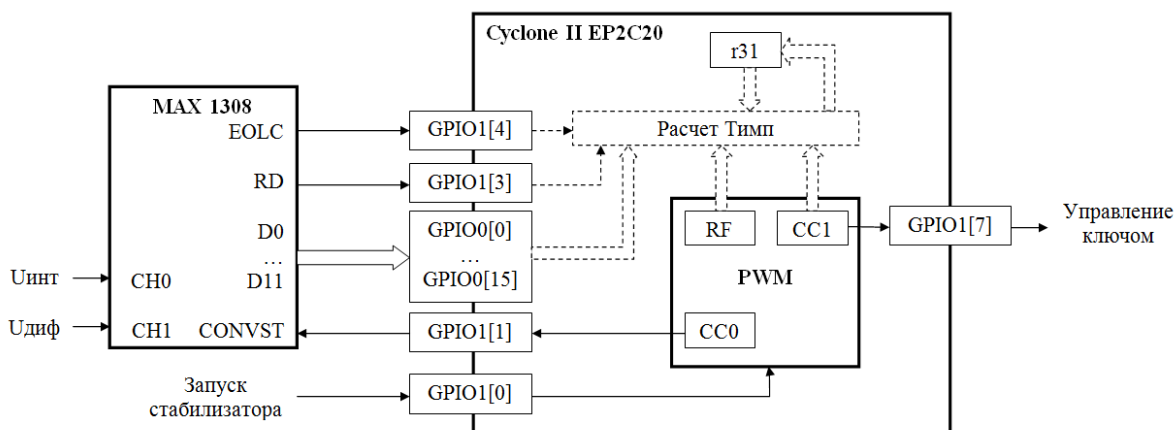


Рис. 5. Программно-аппаратная организация УУ

Импульс запуска с контакта GPIO1[0] своим передним фронтом перезапускает ТС PWM и одновременно в регистре RF фиксирует содержимое счетчика – время, прошедшее с момента предыдущего запуска, т. е. длительность предыдущего периода запуска T_p .

Для запуска аналого-цифрового преобразователя используется нулевой канал сравнения ТС CC0, что позволяет задержать момент запуска АЦП по отношению к моменту коммутации ключа силовой части стабилизатора, сопровождающемуся значительными импульсными помехами.

По истечении времени (количества тактов), определяемого содержимым регистра CC0, сигнал с выхода нулевого канала сравнения через контакт GPIO1[1] поступает на вход CONVST (ConversionStart) и своим нарастающим фронтом запускает АЦП.

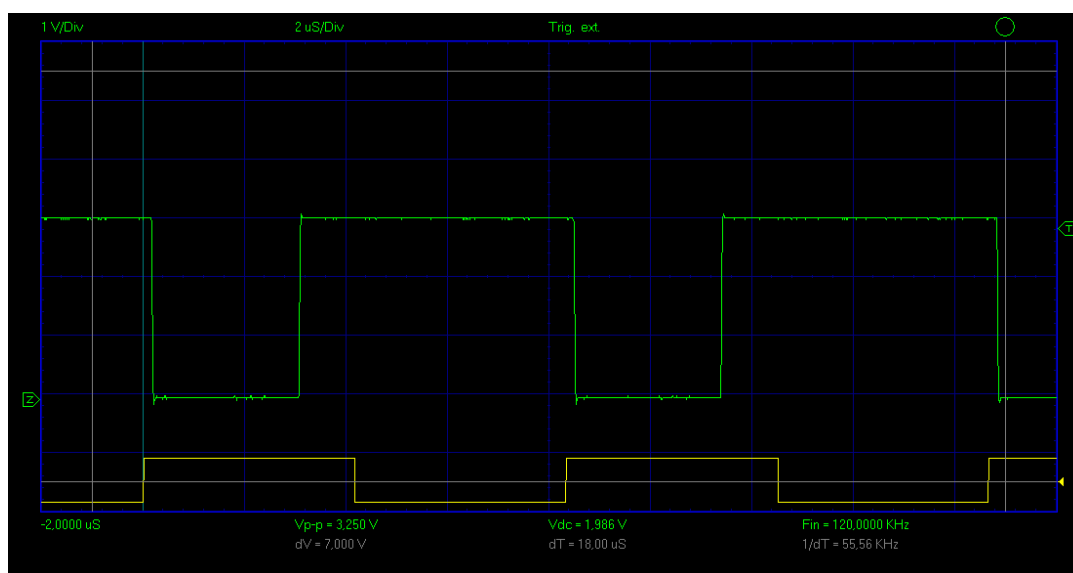
После завершения преобразования данных всех каналов АЦП выработывает сигнал EOLC (EndOfLastConversion), поступающий на вход GPIO1 [4]. Падающий фронт сигнала EOLC обнаруживается программой и, как следствие, инициирует процедуру расчета Тимп. Процедура расчета, подавая на АЦП через вывод GPIO1 [3] сигналы чтения (RD), через порт GPIO0 считывает двухбайтовые коды входных напряжений Уинт, Удиф. Далее выполняется расчет Тимп на основании полученных значений Тп, Уинт, Удиф и в регистр RC1 первого канала сравнения TC CC1 помещается код, обеспечивающий формирование выходного импульса требуемой длительности на выходе GPIO1 [7].

Поскольку используется 12-разрядный АЦП, Умах принято равным 2047.

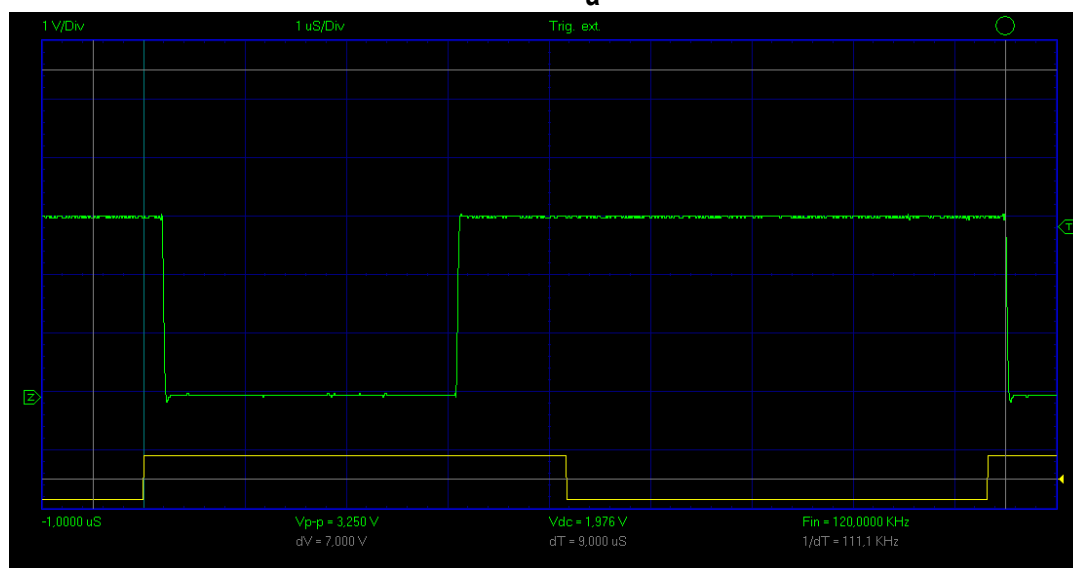
В рассматриваемом варианте стабилизатора используется модуляция переднего фронта импульса управления ключом, поэтому в регистр RC1 первого канала сравнения TC PWM в качестве длительности импульса помещается разность Тп – Тимп.

В этой же процедуре вычисляется и помещается в регистр процессора R31 значение Упред = $2,25 \cdot \text{Удиф}$, которое будет использоваться в расчетах следующего периода запуска.

Контрольные моменты времени для частоты 120 КГц иллюстрируются осциллограммами на рисунке 6.



a



б

Рис. 6. Осциллограммы работы УУ ИСН

На осциллограммах рисунка 6 (а, б) в разных масштабах показаны импульсы запуска стабилизатора (желтый луч в нижней части) и выходные импульсы управления ключом стабилизатора (зеленый луч в средней части) в случае, когда $U_{\text{инт}} = U_{\text{мах}}$, $U_{\text{диф}} = 0$. Из них видно, что максимально возможная длительность выходных импульсов составляет приблизительно 5,4 мкс.

Таким образом, на частоте 120 КГц максимальная длительность выходного импульса не превышает 65 % от периода и с увеличением частоты работы стабилизатора будет уменьшаться, что, в свою очередь, уменьшает диапазон изменения выходного тока, при котором наблюдается неизменное выходное напряжение.

Выводы. Проведенное исследование показало, что применение аппаратно-реализованного на FPGA быстродействующего процессорного ядра в сочетании с внешним быстродействующим высокоточным АЦП позволяет достичь частоты работы ИСН порядка 120 КГц при высоком качестве стабилизации выходного напряжения. При реализации УУ ИСН в виде цифрового автомата с жесткой логикой по предварительным оценкам частота работы ИСН может достигать $(0,6 \div 1)$ МГц и более.

Литература

1. Титовская Н.В., Титовский С.Н. Применение микроконтроллера АТхмега в устройстве управления импульсным стабилизатором напряжения // Вестн. КрасГАУ. – 2015. – № 7. – С. 58–63.
2. Титовская Н.В., Титовский С.Н. Организация устройства управления импульсным стабилизатором напряжения на базе микроконтроллера // Вестн. КрасГАУ. – 2015. – № 8. – С. 87–92.
3. Лукас В.А. Теория автоматического управления: учеб. для вузов. – М.: Недра, 1990.
4. Иванчура, В.И., Краснобаев Ю.В. Модульные быстродействующие стабилизаторы напряжения с ШИМ. – Красноярск: Изд-во КГТУ, 2006.
5. URL: http://www.altera.com/literature/hb/cyc2/cyc2_cii5v1.pdf.
6. URL: <http://datasheets.maxim-ic.com/en/ds/MAX1304-MAX1314.pdf>.
7. URL: <http://www.gaisler.com/products/glib/glib-gpl-1.1.0-b4108.zip>.



УДК 539.3

А.Д. Матвеев

РАСЧЕТ КОМПОЗИТНЫХ ПЛАСТИН И БАЛОК С УЧЕТОМ ИХ СТРУКТУРЫ С ПРИМЕНЕНИЕМ СЛОЖНЫХ МНОГОСЕТОЧНЫХ КОНЕЧНЫХ ЭЛЕМЕНТОВ*

Как известно, базовые дискретные модели композитных пластин и балок, учитывающие их неоднородную (микронеоднородную) структуру, имеют очень высокую размерность. В данной работе показаны процедуры построения сложных многосеточных конечных элементов (МнКЭ) n -го типа формы прямоугольного параллелепипеда для расчета упругих композитных пластин и балок. При построении сложного МнКЭ n -го типа используются сложные МнКЭ $(n-1)$ -го типа, $n \geq 2$, а сложные МнКЭ 1-го типа проектируются с применением двухсеточных конечных элементов (ДвКЭ). При построении ДвКЭ используются две вложенные узловые сетки, мелкая и крупная. Мелкая сетка порождена базовым разбиением ДвКЭ, которое учитывает его неоднородную (микронеоднородную) структуру. Крупная сетка используется для понижения размерности базового разбиения ДвКЭ. Предлагаемые сложные МнКЭ в композитных пластинах и балках описывают трехмерное напряженное состояние, учитывают неоднородную (микронеоднородную) структуру и образуют многосеточные дискретные модели малой размерности, причем сложные МнКЭ n -го типа порождают дискретные модели пластин, балок меньшей размерности, чем сложные МнКЭ $(n-1)$ -го типа. Напряжения определяются в любом компоненте композитных пластин и балок.

*Работа выполнена при финансовой поддержке РФФИ (код проекта 14-01-0130).